

Copy of Prior Art

Patent Document 3

Japanese Patent Publication No.05-175785

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-175785

(43)公開日 平成5年(1993)7月13日

(51)Int.Cl.⁵

H 0 3 H 17/02

識別記号

庁内整理番号

F I

技術表示箇所

D 7259-5 J

審査請求 未請求 請求項の数3(全11頁)

(21)出願番号 特願平3-342666

(22)出願日 平成3年(1991)12月25日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 金秋 哲彦

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 傍島 彰

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 谷 泰範

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

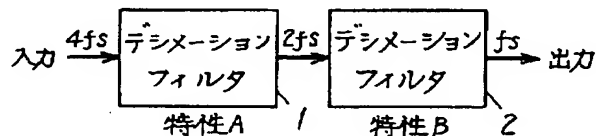
(74)代理人 弁理士 小鍛冶 明 (外2名)

(54)【発明の名称】 デシメーション用デジタルフィルタ

(57)【要約】

【目的】 周波数特性の補正も行うシンプルな構成の4:1のデシメーション用デジタルフィルタを提供する。

【構成】 4:1のデシメーション用デジタルフィルタを、4:2と2:1の2段のデシメーションフィルタ(1と2)で構成し、初段のデシメーションフィルタ1で周波数特性補正を行い、次段のデシメーションフィルタ2を第1種ナイキスト基準を満たすフィルタ係数を用いて構成する。また、初段のデシメーションフィルタ1を2個、次段を3個のRAMを用いて構成し、入力データを交互に書き込むようにすると共に、一方を古い順、他方を新しい順でデータを読み出すようにする。更に、初段のデシメーションフィルタ1の演算の際に、所定の値を初期値として累算を行うようにし、次段のデシメーションフィルタ2の演算において、初段のデシメーションフィルタ1の出力を初期値として累算を行う。



【特許請求の範囲】

【請求項1】 入力されるデジタル信号と、第1の所定の係数列との畳み込みを行うことにより前記デジタル信号のデシメーションを行うとともに、前記デジタル信号に対して所定の周波数特性を与えて出力する第1のデジタルフィルタと、

前記第1のデジタルフィルタ出力と、第1種ナイキスト基準を満足する第2の所定の係数列との畳み込みを行うことにより前記第1のデジタルフィルタ出力の2：1のデシメーションを行う第2のデジタルフィルタと、を備えたことを特徴とするデシメーション用デジタルフィルタ。

【請求項2】 第1のデジタルフィルタが、入力されるデジタル信号を所定サンプル分格納する記憶装置と、

第1の所定の係数列を記憶している第1のメモリと、前記記憶装置の出力と前記第1のメモリより読み出される値との乗算を行う第1の乗算器と、ゼロ以外の所定の値を初期値として前記第1の乗算器の出力の累算を行う累算器と、を備えることにより畳み込みを行い、

第2のデジタルフィルタが、前記第1のデジタルフィルタの出力が交互に入力される第1、第2の記憶装置と、

第2の所定の係数列を記憶している第2のメモリと、前記第1の記憶装置に格納されたデータと前記第2のメモリより読み出される値との乗算を行う第2の乗算器と、

前記第2の記憶装置の出力を初期値として前記第2の乗算器の出力の累算を行う累算器と、を備えたことにより畳み込みを行うことを特徴とする請求項1に記載のデシメーション用デジタルフィルタ。

【請求項3】 第1、第2のデジタルフィルタの少なくとも一方が、所定の係数列との乗算が行われるべきデータを格納している記憶装置が第1、第2の記憶手段より成り、各々の記憶手段より所定のデータを読み出して各々を加算した値に前記所定の係数列との乗算を行うものであり、また、前記第1、第2の記憶手段に対するデータの書き込みが、前記記憶装置に与えられるデータを交互に前記第1、第2の記憶手段に書き込まれており、また、前記各記憶手段からのデータの読み出しが、前記第1、第2の記憶手段の内の何れか一方は古い順に、他方は新しい順に読み出されていることを特徴とする請求項1に記載のデシメーション用デジタルフィルタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はデシメーション用デジタルフィルタに係り、特にデシメーションを行うとともに周波数特性に変化を与えるようにしたものに関する。

【0002】

【従来の技術】 近年のデジタル信号処理技術の進歩に伴い、アナログ信号とデジタル信号とのインターフェースであるA/D変換技術の重要性が益々高まっている。特に最近では、必要としているサンプリング周波数 f_s よりも遥かに高い、例えば64 f_s のサンプリング周波数による $\Delta-\Sigma$ 型のA/D変換の手法がよく用いられている（1987年、電子情報通信学会技術研究報告会ICD87-52）。このA/D変換によって得られたデジタル信号は64 f_s のサンプリング周波数を有しているため、本来必要としているサンプリング周波数 f_s を得るために、64：1のデシメーションを行わなければならない。このデシメーションの手法としては、先ず櫛形フィルタを用いて16：1のデシメーションを行い、次いでFIRフィルタを用いて4：1のデシメーションを行うと比較的小規模の回路構成で効率よくデシメーションを行うことができる（1987年、電子情報通信学会技術研究報告会ICD87-52）。しかし、このように初段のデシメーションにて櫛形フィルタを用いると、このフィルタの周波数特性が平坦でないために、その補正が必要となる。通常この補正は後段のFIRフィルタで行われている。このようなデシメーション用デジタルフィルタを図8に示し、その説明を行う（例えば、ラジオ技術誌、1989年、7月号、pp50～53）。

【0003】 2個のA/D変換器（図示せず）より与えられたサンプリング周波数3072kHzの2系統のデジタル入力、Lch入力とRch入力が櫛形フィルタ100、104に与えられる。これら櫛形フィルタ100、104により、8：1のデシメーションが行われ、サンプリング周波数384kHzのデジタル信号が得られる。ここで得られたデジタル信号は、櫛形フィルタの周波数特性により、高域がやや減衰した信号となっている。次いでこの信号が初段のFIRフィルタ101、105に与えられる。FIRフィルタ101、105では、ROM103より与えられるフィルタ係数に基づき、入力されたデジタル信号のフィルタリングを行った後、4：1のデシメーションが行われ、サンプリング周波数96kHzのデジタル信号が得られる。次にこの信号が2段目のFIRフィルタ102、106に与えられる。FIRフィルタ102、106では、ROM103より与えられるフィルタ係数に基づき、入力されたデジタル信号のフィルタリングと周波数特性の補正を行った後、2：1のデシメーションが行われ、サンプリング周波数48kHzのデジタル信号が得られ、インターフェース107を介して出力される。

【0004】

【発明が解決しようとする課題】 しかしながら上記のような構成では、櫛形フィルタであるFIRフィルタ100によって生じる周波数特性の変化（高域が落ちる）を後段のデジタルフィルタにおいて入力信号の周波数特

性の補正を行っているために、殆どのフィルタ係数がゼロ以外の値を有することになり、後段のフィルタ係数として第1種ナイキスト基準を満たすようなものを用いて演算回数を減らす（例えば、特願昭63-203541号）といった手法を用いることができず、演算回数を減らすことができないという問題点があった。

【0005】本発明は上記の問題点に鑑み、入力信号の周波数特性の補正を行うことができ、しかも演算回数を大幅に削減することが可能なデシメーション用デジタルフィルタを提供することを目的とするものである。

【0006】

【課題を解決するための手段】この目的を達成するために本発明によるデシメーション用デジタルフィルタは、入力されるデジタル信号と、第1の所定の係数列との畳み込みを行うことにより前記デジタル信号のデシメーションを行うとともに、前記デジタル信号に対して所定の周波数特性を与えて出力する第1のデジタルフィルタと、前記第1のデジタルフィルタの出力と、第1種ナイキスト基準を満足する第2の所定の係数列との畳み込みを行うことにより前記第1のデジタルフィルタの出力の2:1のデシメーションを行う第2のデジタルフィルタとを備えたものである。

【0007】

【作用】上記のようにデシメーションを2回に分けて行い、そして、前段のデシメーションフィルタにおいて入力信号の周波数特性補正を行うようにしたため、後段のデシメーションフィルタのフィルタ係数として第1種ナイキスト基準を満たす係数値を用いることができ、約半分の係数値がゼロとなる。係数値ゼロを掛け合わされる入力信号は乗算を省略できるため、結果として2段目のデシメーションフィルタにおける演算回数を約半分に削減することができるものである。

【0008】

【実施例】以下、図面に基づき本発明の説明を行う。

【0009】図1は本発明によるデシメーション用デジタルフィルタを表わすブロック図である。この図を説明すると、1は第1のデシメーションフィルタであり、入力される4fsを2fsのデジタル信号に変換して出力する。2は第2のデシメーションフィルタであり、入力される2fsのデジタル入力信号を1fsのデジタル信号に変換して出力する。デシメーションフィルタ1、2はそれぞれ図2の<特性A>、及び<特性B>

$$E_1 = \sum_{k=0}^{27} D_{n-1+k} \cdot K_{1k}$$

デシメーションフィルタ2においては、乗算器35~39によって入力Enおよびレジスタ14~17の出力に対し、フィルタ係数K2n (n=0, 2, 4, ..., 142) が掛け合わされる。なお、入力Enはレジスタ14とレジスタ18に交互に入力されるようになっている。

に示される周波数特性を有している。前述の特願昭63-184319号（発明の名称：デシメーション用デジタルフィルタ）に示されている通り、第1のデシメーションフィルタ1は遷移領域が広くてよいために少ないタップ数で実現できる。逆に、第2のデシメーションフィルタ2は遷移領域が狭いため多くのタップ数が必要となる。ここでは、デシメーションフィルタ1はフィルタ係数K1n (n=0~27) の28タップ、デシメーションフィルタ2はフィルタ係数K2n (n=0~142) の143タップのフィルタを用いている。更に、デシメーションフィルタ2におけるフィルタ係数K2nは、第1種ナイキスト基準を満足するようにしているため、K22m+1=0 (m=0~70)、K271=0.5となる。

【0010】次に、図1に示すデシメーションフィルタの動作を図3を用いて説明する。図3において、10~21はレジスタであり、入力されるデジタル信号を記憶し、矢印の方向にシフトしていく。30~39は乗算器であり、各入力に対してフィルタ係数を掛け合わせる。40~48は加算器である。レジスタ10~13、乗算器30~34、加算器40~43によってデシメーションフィルタ1が構成される。レジスタ14~21、乗算器35~39、加算器44~48によってデシメーションフィルタ2が構成される。これらのデシメーションフィルタ1、2では図2に示す通りのフィルタリングと共に、2:1のデシメーションを行っているため、デシメーションフィルタ1では入力Dnが、デシメーションフィルタ2では入力Enがそれぞれ2個新たに与えられる毎に1個の出力を演算すれば良いことになる。

【0011】デシメーションフィルタ1においては、乗算器30~34によって入力Dnおよびレジスタ10~13の出力に対し、フィルタ係数K1n (n=0, 1, 2, ..., 27) が掛け合わされる。故に、デシメーションフィルタ1では、入力Dnに対して、式(1)に示す通りの演算が行われてEnが出力される。なお、デシメーションフィルタ1においては、図2<特性A>に示す通りの通過帯域でややハイ上がりの特性を得るため、5タップの周波数特性補正用のフィルタ係数と24タップの低域通過フィルタのフィルタ係数の畳み込みを行った結果としての28タップのフィルタ係数K1nを用いている。

【0012】

(1)

【0013】ここで、デシメーションフィルタ2においては前述の通りフィルタ係数K2がK22m+1=0 (m=0~70)、K271=0.5であるので、実際にはこれらの係数に対する乗算を行う必要がなく、乗算回数はフィルタのタップ数である143の約半分の71回で済

む。また、フィルタ係数 K_{2n} の乗算については、被乗数の1ビット右シフトでよい。更に、2個の新たな入力に対して1個の出力 F_n を求めれば良いため、ひとたび偶数番目のフィルタ係数 K_{2n} が掛け合わされた入力データ E_n は常に偶数番目のフィルタ係数が掛け合わされることになり、同様に、ひとたび奇数番目のフィルタ係数 K_{2n+1} が掛け合わされる入力データ E_n は常に奇数番目のフィルタ係数が掛け合わされることになる。故

$$F_n = \sum_{k=0}^{142} E_{n-1+k} \cdot K_{2k}$$

このように周波数特性補正用のフィルタを初段のフィルタ（デシメーションフィルタ1）に組み込むようにしたため、元々乗算回数の多い2段目のフィルタ（デシメーションフィルタ2）のフィルタ係数として第1種ナイキスト基準を満たすものを用いることができ、フィルタの乗算回数をタップ数の約半分で済ませることができ、補正用フィルタを組み込むことによる演算回数の増加を最小限に抑えることができる。

【0015】なお、図3において、フィルタ係数 K_1 、 K_{2n} とも対称係数であるので、レジスタ群（レジスタ10～13、レジスタ14～17）の両端より順次出力値を加算した後、フィルタ係数 K_1 、 K_{2n} を掛け合わせても良いものである。

【0016】図4は本発明によるデシメーション用デジタルフィルタの具体的な実施例を表すブロック図である。この図を説明すると、50、51、58はランダムアクセスメモリ（以下、RAMと称す）である。本実施例では、語長が1.8ビットのものをを用いている。RAM50、51はそれぞれ2個のバンクで構成され、バンク1はアドレス0～13の14ワードより成り、4fs→2fsのデシメーションに使用される。バンク2は、アドレス0～35の36ワードより成り、2fs→1fsのデシメーションに使用される。RAM58はアドレス0～35の36ワードより成る。52、53はゲートであり、制御信号OE1、OE2が1の時データを出力し、0の時はハイインピーダンスとなる。54は加算器であり、端子A、Bに与えられた18ビットデータの加算を行い、19ビットの加算結果を出力する。55は乗算器であり、端子X、Yに与えられたデータの乗算を行

う。ここでは、19ビット×18ビットの乗算を行い、演算結果の上位27ビットを出力する。56はリードオンリーメモリ（以下、ROMと称す）であり、フィルタ係数を記憶している。ここでは、フィルタ係数として18ビットのものをを用いている。57は累算器である。

【0017】先ずここで、図5を用いて累算器57について説明する。制御信号P1、P2に基づき、セレクト72によって加算器70の端子Bに入力すべきデータをセレクトし、加算器70の端子Aに与えられるデータと加算した後、加算結果をクロック信号φの立ち上がりに

に、図3に示す通り、レジスタ群をフィルタ係数との乗算を行うもの（レジスタ14～17）と、単に1ビット右シフトして加算するもの（レジスタ18～21）の2群に分けることができる。このようにして、デシメーションフィルタ2では式（2）に示す通りの演算が行われ、出力 F_n が出力される。

【0014】

$$(2)$$

同期してレジスタ71に取り込み、オーバーフローリミッタ73を介して出力するようになっている。セレクト72では、制御信号P1=P2=0の時には端子Dに与えられたデータが、同じくP1=1、P2=0の時には端子Cに与えられたデータが、同じくP1=0、P2=1の時には端子Bに与えられたデータが、同じくP1=1、P2=1の時には端子Aに与えられたデータがそれぞれセレクトされて端子Yより出力される。よって、制御信号P1、P2=0の時には累算器57の端子Aに与えられたデータの累算が行われ、同じくP1=1、P2=0の時には端子Bに与えられたデータ（レジスタ67の出力）と累算器57の端子Aに与えられたデータとの加算が行われ、同じくP1=1、P2=1或いはP1=0、P2=1の時にはセレクト72の端子A或いはBに与えられている初期値INI1或いはINI2と累算器57の端子Aに与えられたデータとの加算が行われる。ここでは、初期値INI1、INI2は、INI1=100H、INI2=900Hとしている（図6参照）。なお、加算器70においては、A入力の27ビットとB入力の28ビットはLSB（最下位ビット）の位置が揃うようにして与えられており、セレクト72においては、C入力の18ビットはD入力の28ビットに対してそのMSBがD入力のMSBの2ビット下位に来ようになっている（図6参照）。レジスタ71におけるMSBはオーバーフロー防止のためのヘッドルームである。レジスタ71の出力28ビットの上位19ビットが取り出され、オーバーフローリミッタ73によってリミッタをかけた後、18ビットデータとして出力される（図6参照）。

【0018】図4に戻って、59はセレクトであり、端子Sに与えられた制御信号SELに基づき、SEL=0ならば端子Aに与えられた信号を、SEL=1ならば端子Bに与えられた信号をセレクトし、端子Yより出力する。60～67はレジスタであり、クロック信号φの立ち上がりエッジでデータを取り込みラッチする。この内、レジスタ66は累算器57の出力18ビットの上位16ビットを取り込むようになっている。68はシーケンサであり、最終的に出力すべき1fsの周期を0～63を1つのサイクルとする64個のタイムスロットに分割

し、上述した種々の制御信号 (OE1, OE2, P1, P2, SEL等) やクロック信号φおよびRAM50, 51, 58に対するアドレス信号の発生を所定のタイミングで行っている。

【0019】次に、図4の動作について、図7に示すタイミング図と共に説明する。まず、図4の動作の概略について述べる。本デシメーションフィルタでは、タイムスロット0~13および14~27において、図3に示すところのデシメーションフィルタ1に相当するフィルタリング、すなわち、4fs→2fsのデシメーション (以下、初段のデシメーションと称す) を行っており、入力される18ビット、4fsの信号を18ビット、2fsの信号に変換する。タイムスロット28~63において、図3におけるデシメーションフィルタ2に相当するフィルタリング、すなわち、2fs→1fsのデシメーション (以下、次段のデシメーションと称す) を行っており、18ビット、2fsの信号を16ビット、1fsの信号に変換する。図3におけるレジスタ10~13に相当するレジスタとしてRAM50, 51のバンク1を用い、レジスタ14~17に相当するレジスタとしてRAM50, 51のバンク2を用いている。また、レジスタ18~21に相当するレジスタとしてRAM58を用いている。

【0020】次に、動作の詳細について説明する。シーケンサ68が出力するアドレス信号に基づき、タイムス

$$S1n = D2n+1 + D26-2n \quad (\text{但し、} n=0\sim13)$$

一方、ROM56は、初段のデシメーションにおける最初の演算である $S_0 = D1 + D26$ の値がレジスタ62に現れるタイミングに同期するようにフィルタ係数 $K1_1$ を読み出している。タイムスロット1~14では初段のデシメーションのフィルタ係数が $K1_1, K1_3, K1_5, \dots, K1_{13}, K1_{12}, K1_{10}, \dots, K1_0$ の順で読み出され、タイムスロット2~15にてレジスタ63に順次格納される。故に、これらレジスタ62, 63の出力

$$M1n = S1n \cdot K1_{2n+1} \quad (\text{但し、} n=0\sim6) \quad (4)$$

$$M1n = S1n \cdot K1_{26-2n} \quad (\text{但し、} n=7\sim13) \quad (5)$$

乗算器55によって得られた乗算結果 $M1n$ はレジスタ64に格納され、累算器57によって累算される。初段のデシメーションにおける最初の乗算結果 $M1_0$ がレジスタ64に現れるタイムスロット3では、制御信号P1, P2が共に1になっているので、初期値INI1と乗算結果 $M1_0$ の加算が行われ、累算器57内のレジスタ71に格納され、タイムスロット4において累算器57出力 $A1_0$ として出力される。タイムスロット4~16では、制御信号P1, P2が共に0になっているので、累算器57では前述の累算器出力 $A1_0$ に対して乗算結果 $M1n$ ($n=1\sim13$) の累算を行う。タイムスロット $n+3$ における累算器57出力を $A1n$ として、タイムスロット3~16における $A1n$ と乗算 $M1n$ との関係は式(6)に示す通りとなる。故に、初段のデシメ

ロット0で制御信号SEL=1, OE2=1となるので、入力データD26がライト信号WE2によってRAM51のバンク1に書き込まれる。更に、この値(D26)はクロック信号φにより、タイムスロット1でレジスタ61に現れる。タイムスロット1~13では、RAM51はバンク1に格納している過去の入力データD24, D22, ...を順次出力する。一方、RAM50はタイムスロット0~12でバンク1に格納している過去の入力データD1, D3, ...を順次出力し、タイムスロット13では制御信号SEL=1, OE1=1となるので、この時点での入力データD27がライト信号WE2によって書き込まれる。更に、この値(D27)はクロック信号φにより、タイムスロット1でレジスタ61に現れる。このように、RAM50ではデータを古い順に読み出し、RAM51ではデータを新しい順に読み出すようにしている。

【0021】以上のようにして読み出されたデータが、クロックφによってレジスタ60, 61に順次書き込まれる。加算器54がこの2個のレジスタ出力を加算し、加算結果Sがレジスタ62に書き込まれる。タイムスロット $n+1$ における加算器54出力を $S1n$ として、タイムスロット0~13でRAM50, 51より読み出されるデータD0~D27と $S1n$ の関係は式(3)に示す通りとなる。

$$【0022】 \quad (3)$$

が乗算器55によって掛け合わされ、乗算結果Mがレジスタ64に順次格納されていく。タイムスロット $n+2$ における乗算器55出力を $M1n$ として、タイムスロット2~15でレジスタ62, 63より出力される加算結果 $S1n$ と $M1n$ との関係は式(4), (5)に示す通りとなる。

【0023】

ーションにおける最終出力である $A1_{13}$ は式(6)に式(3)~(5)を代入して、式(7)が得られる。ここに示される通り、タイムスロット17で得られる $A1_{13}$ は、入力 Dn を係数 $K1n$ を有するデジタルフィルタを通したものにINI1の値を加えたものと等しくなる。ここで、INI1の値は100Hであり、累算器57においてレジスタ71の下位9ビットを切り捨て、上位19ビットをリミッタ73を介して18ビットとして出力しているので、レジスタ71の値を四捨五入したものである。この値が、タイムスロット17で1になるクロック信号CK1によってレジスタ65に格納される。このようにして第1回目の初段のデシメーションが行われる。

【0024】

$$A1_n = INI1 + \sum_{k=0}^n M1_k \quad (\text{但し、} n=0 \sim 13) \quad (6)$$

$$A1_n = INI1 + \sum_{k=0}^n (D_k + D_{17-k}) \cdot K1_k \quad (\text{但し、} n=0 \sim 13) \quad (7)$$

タイムスロット 14～27 においても同様にして初段のデシメーションが行われる。ここでは、RAM 50 のバンク 1 より過去の入力データ D 3～D 27 が読み出され、タイムスロット 27 で最新の入力データ D 29 がライト信号 WE 1 により書き込まれる。また、RAM 51 では、バンク 1 にタイムスロット 14 で最新の入力データ D 28 がライト信号 WE 2 によって書き込まれた後、過去の入力データ D 26～D 2 が読み出される。以下、タイムスロット 0～13 の場合と同様にしてフィルタリングが行われる。前回のタイムスロット 0～13 におけるフィルタリングと今回のフィルタリングとにおける違いは、タイムスロット 17 において制御信号 P 1、P 2 の値が 0、1 となっている点である。これにより、累算器 57 ではタイムスロット 17 において、INI 2 と乗

算器 55 の出力 M 2₀ との加算が行われる。故に、この一連のフィルタリングにおける最終出力 A 2₁₃ は式 (8) に示す通りとなる。ここで、INI 2 の値は 90 0H であり、累算器 57 においてレジスタ 71 の下位 9 ビットを切り捨て、上位 19 ビットをリミッタ 73 を介して 18 ビットとして出力しているの、レジスタ 71 の値を四捨五入したものであり、入力 D 2～D 29 を係数 K 1_n を有するデジタルフィルを通過させた結果 (すなわち、初段のデシメーション結果) に 4 を加えたものとなる。4 を加える理由については後に述べる。この値が、タイムスロット 31 で 1 になるライト信号 WE 3 によって RAM 58 に格納される。このようにして第 2 回目の初段のデシメーションが行われる。
【0025】

$$A1_n = INI2 + \sum_{k=0}^n (D_{k+2} + D_{29-k}) \cdot K1_k \quad (\text{但し、} n=0 \sim 13) \quad (8)$$

ここで、RAM 50、51 に対するアドレス信号について考える。タイムスロット 0～13 で、RAM 50 に対しては、0、1、…、13、RAM 51 に対しては、0、1、…、13 であったとすると、タイムスロット 1

4～27 では、RAM 50 が 1、2、…、13、0、RAM 51 が 13、0、1、…、12 とすれば良いことが分かる。つまり、RAM 50、51 に対するアドレス番号の変化は、

	RAM 50	RAM 51
1 回目:	0, 1, 2, …, 12, 13	0, 1, 2, …, 13
2 回目:	1, 2, 3, …, 13, 0	13, 0, 1, …, 12
3 回目:	2, 3, …, 13, 0, 1	12, 13, 0, …, 11
4 回目:	3, 4, …, 0, 1, 2	11, 12, 13, …, 10

とすれば良い。このように、入力データを RAM 50、51 に交互に書き込み、RAM 50 ではデータを古い順に読み出し、RAM 51 ではデータを新しい順に読み出すようにすることにより、アドレス信号の発生が非常に簡単になり、しかも RAM 50、51 の相互間でのデータのやり取りも不要になる。

【0026】次に、タイムスロット 28～63 において次段のデシメーションが行われる。ここでは、シーケンサ 68 が出力するアドレス信号に基づき、タイムスロット 28 で制御信号 SEL=0、OE 2=1 となるので、レジスタ 65 に格納されている初段のデシメーションにおける出力 A 1₁₃ が次段のデシメーション入力 E 142 とし

て、タイムスロット 28～63 でバンク 2 に格納している過去の入力データ E 0、E 4、…を順次出力する。このように、RAM 50 ではデータを古い順に読み出し、RAM 51 ではデータを新しい順に読み出すようにしている。

【0027】以上のようにして読み出されたデータがクロック φ によってレジスタ 60、61 に順次書き込まれる。以下、初段のデシメーションの場合と同様に、加算器 54、乗算器 55 によってデシメーションのための演算が行われていく。

【0028】ここで、ROM 56 からは、タイムスロット 30～2 において、次段のデシメーションに対するフィルタ係数 K 2_n が、K 2₀、K 2₄、K 2₈、…、K 2₇₂、K 2₇₆、K 2₈₀、…、K 2₂ の順で読み出される。この値に対して、RAM 50、51 より読み出され

た値 E_n が乗算器 55 によって掛け合わされるため、乗算器 55 出力 $M3_n$ は式 (9), (10) に示す通りとな

$$M3_n = (E_{4n} + E_{142-4n}) \cdot K2_{4n} \quad (n=0 \sim 17) \quad (9)$$

$$M3_n = (E_{4n} + E_{142-4n}) \cdot K2_{70-4n} \quad (n=18 \sim 35) \quad (10)$$

乗算器 55 によって得られた乗算結果 $M3_n$ はレジスタ 64 に格納され、累算器 57 によって累算される。次段のデシメーションにおける最初の乗算結果 $M3_0$ がレジスタ 64 に現れるタイムスロット 31 では、制御信号 $P1, P2$ が 1, 0 となっているので、レジスタ 67 出力と乗算結果 $M3_1$ の加算が行われ、累算器 57 内のレジスタ 71 に格納され、タイムスロット 32 において累算器 57 の出力 $A3_0$ として出力される。タイムスロット 32~2 では、制御信号 $P1, P2$ が共に 0 になっているので、累算器 57 では前述の累算器出力 $A3_0$ に対して乗算結果 $M3_n$ ($n=1 \sim 35$) の累算を行う。乗算結果 $M3_n$ は式 (9), (10) に示される通りであり、前述の通り、RAM 58 には過去における初段のデシメーション出力が格納されており、レジスタ 67 がクロック

35

$$A3_{35} = \sum_{k=0}^{142} (E_{2k} + E_{142-2k}) \cdot K2_{2k} + 0.5 E_{71} \quad (11)$$

k=0

142

$$A3_{35} = \sum_{k=0} E_k \cdot K2_k \quad (12)$$

k=0

ここで、レジスタ 67 の出力 $E71$ について考えると、この値は、先に述べた第 2 回目のデシメーションにおける出力値である。故に、この値は初段のデシメーション結果に 4 を加えたものである。この $E71$ は図 6 に示されるビット位置に加算されることになるので、レジスタ 66 から見ると、加算された値 4 は丁度切り捨てられるビットの最上位に位置する。すなわち、0.5 を加算した後に切り捨てられることになり、実質的に四捨五入操作が行われることになる。以上のように、初段のデシメーションにおいて、RAM 58 に書き込まれるべき累算出力を演算する際に、初期値として 900H をセットした後に累算を行うようにしたために、タイムスロット 3 において単に切り捨て処理を行っただけで四捨五入演算と等価な処理を行うことができる。このようにして次段のデシメーションが行われ、16 ビット、1 fs の出力が得られる。

【0031】ちなみに、次のサイクルにおける次段のデシメーションにおいては、RAM 50 は初段のデシメー

RAM 50

1 回目: 0, 1, 2, ..., 34, 35
2 回目: 0, 35, 34, ..., 2, 1
3 回目: 1, 2, ..., 34, 35, 0
4 回目: 1, 0, 35, ..., 3, 2

:

とすれば良い。このように入力データを RAM 50, 51 に交互に書き込み、奇数回目はデータを RAM 50 から

る。

$$【0029】 \quad (n=0 \sim 17) \quad (9)$$

$$(n=18 \sim 35) \quad (10)$$

ク信号 $CK3$ によってこの出力（この時点では初段のデシメーション出力として $E71$ を出力している）を取り込んでおり、図 6 に示される通り、累算器 57 の A 入力に対して 1 ビット右にシフトしてあるので、一連のフィルタリングにおける最終結果である $A3_{35}$ は式 (11) に示される通りとなる。ここで、 $K2_{72} = 0.5$ であり、 $K2_{2m+1} = 0$ ($m=0 \sim 35$) であるので、式 (11) の右辺は式 (12) の通りに表すことができ、フィルタ係数 $K2_n$ を有するディジタルフィルタの出力が得ることが分かる。この累算器 57 の出力の上位 16 ビットがレジスタ 66 に取り込まれ、次段のデシメーション出力、すなわち、本デシメーション用ディジタルフィルタの最終出力として出力される。

【0030】

ション出力 $A4_{13}$ ($=E144$) をレジスタ 65 よりバンク 2 に書き込んだ後、バンク 2 より過去の入力データ E_n を $E140, E136, \dots, E4$ の順（即ち新しい順）で読み出す。一方、RAM 51 はバンク 2 より $E6, E10, \dots, E142$ の順（すなわち、古い順）で過去の入力データ E_n を読み出す。このように、RAM 50, RAM 51 に交互に初段のデシメーション出力を書き込むようにして次段のデシメーションを行っている。

【0032】ここで、RAM 50, 51 に対するアドレス信号について考える。タイムスロット 28~63 で、RAM 50 に対しては、0, 1, ..., 35、RAM 51 に対しては、35, 34, ..., 0 であったとすると、次のサイクルにおけるタイムスロット 28~63 では、RAM 50 が 1, 2, ..., 13, 0、RAM 51 が 13, 0, 1, ..., 12 とすれば良いことが分かる。つまり、RAM 50, 51 に対するアドレス信号の変化は、

RAM 51

35, 34, 33, ..., 1, 0
0, 1, 2, ..., 34, 35
0, 35, 34, ..., 2, 1
1, 2, ..., 34, 35, 0

:

らは新しい順に、RAM 51 からは古い順に読み出し、偶数回目はデータを RAM 50 からは古い順に、RAM

51からは新しい順に読み出すようにすることにより、アドレス信号の発生が非常に簡単になり、しかもRAM 50、51の相互間でのデータのやり取りも不要になる。

【0033】以上のように、周波数特性補正を初段のデシメーションにて行うようにしたため、次段のデシメーションにおいては、フィルタ係数 K_{2n} として第1種ナイキスト基準を満たすものを用いることができ、フィルタの乗算回数をタップ数の約半分で済ませることができる。

【0034】

【発明の効果】以上のべたように本発明は、入力されるデジタル信号と、第1の所定の係数列との畳み込みを行うことにより前記デジタル信号のデシメーションを行うとともに、前記デジタル信号に対して所定の周波数特性を与えて出力する第1のデジタルフィルタと、前記第1のデジタルフィルタ出力と、第1種ナイキスト基準を満たす第2の所定の係数列との畳み込みを行うことにより前記第1のデジタルフィルタ出力の2:1のデシメーションを行う第2のデジタルフィルタと、を備えたことにより、後段のデシメーションフィルタのフィルタ係数としてナイキスト第1基準を満たす係数値を用いることができ、これにより約半分の係数値がゼロとなり、係数値ゼロを掛け合わされる入力信号は乗算を省略できる。この結果、2段目のデシメーションフィルタにおける演算回数を約半分に削減することができ、回路規模を大幅に縮小することができる。

【0035】更に、初段のデシメーションフィルタにおける係数値と入力データ列との積の累算時に、予め所定の値をプリセットした後に累算を開始するようにしたため、2段目のデシメーションフィルタにおける演算において所定のRAM出力を累算器にプリセットした後に累算を開始しても正しく四捨五入処理を行うことができる。

【0036】また、各段のデシメーションフィルタにお

ける積和演算時に、各RAMに格納された入力データを一方は古い順に、他方は新しい順に読み出すようにして、フィルタ係数をそれに対応する順序に並べ変えて積和を求めるようにしたため、各RAMに対するアドレス信号の発生が非常に単純化され、アドレス信号発生回路を非常に簡略化することができるという優れた効果を有するものである。

【図面の簡単な説明】

【図1】本発明によるデシメーション用デジタルフィルタの一実施例を表すブロック図

【図2】同実施例におけるデシメーション用デジタルフィルタの周波数特性を表す特性図

【図3】同実施例におけるデシメーション用デジタルフィルタの動作を説明するためのブロック図

【図4】本発明によるデシメーション用デジタルフィルタの具体例を表すブロック図

【図5】図4における累算器57の具体例を表すブロック図

【図6】図5の累算器57におけるセクタ72の選択条件を示す説明図

【図7】図4に示すデシメーション用デジタルフィルタの動作を表すタイミング図

【図8】従来のデシメーション用デジタルフィルタの構成を示すブロック図

【符号の説明】

1, 2 デシメーションフィルタ

10~21 遅延回路

30~39, 55 乗算器

40~48, 54 加算器

50, 51, 58 RAM

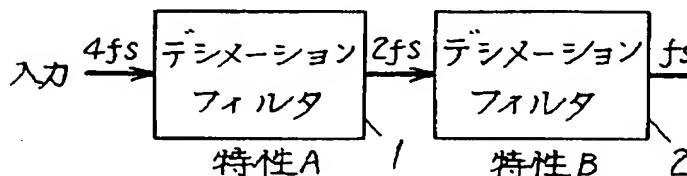
56 ROM

57 累算器

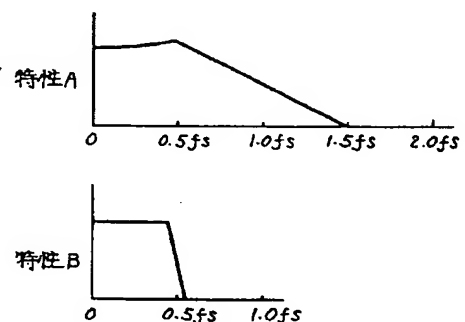
59, 72 セクタ

60~66 レジスタ

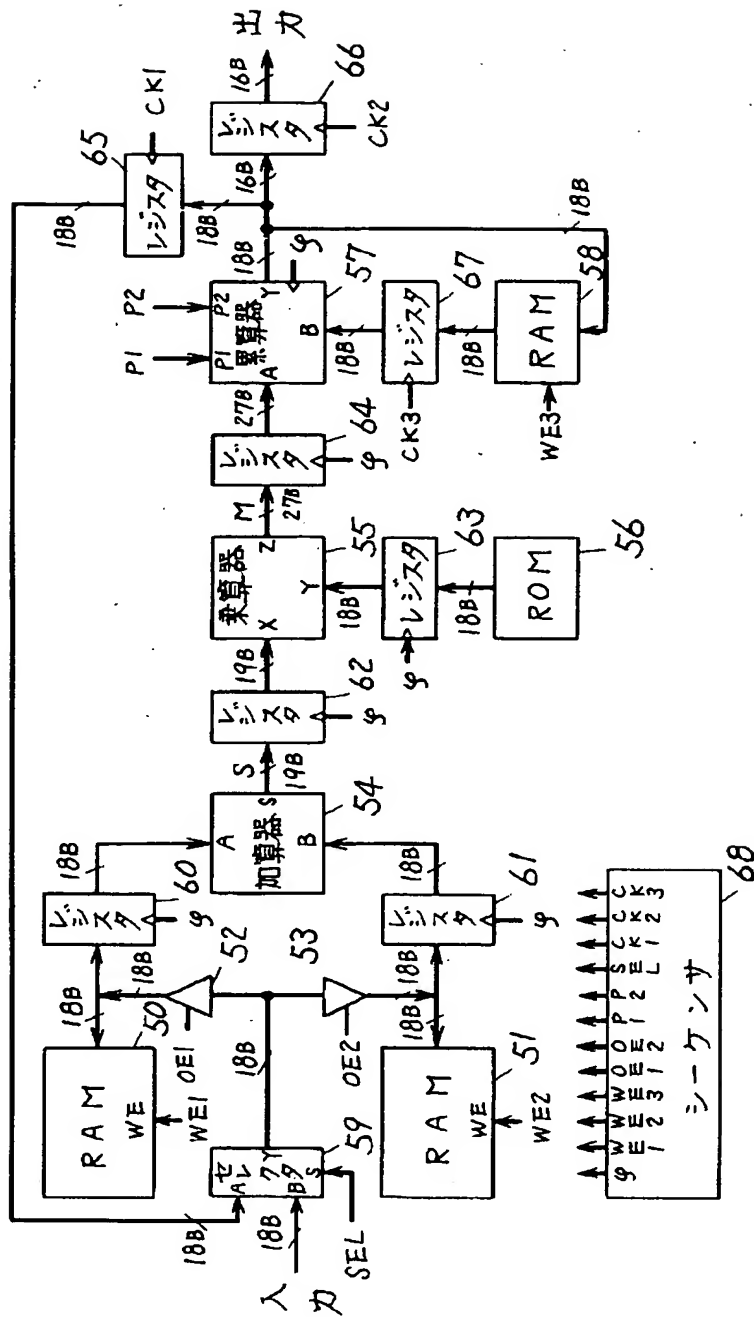
【図1】



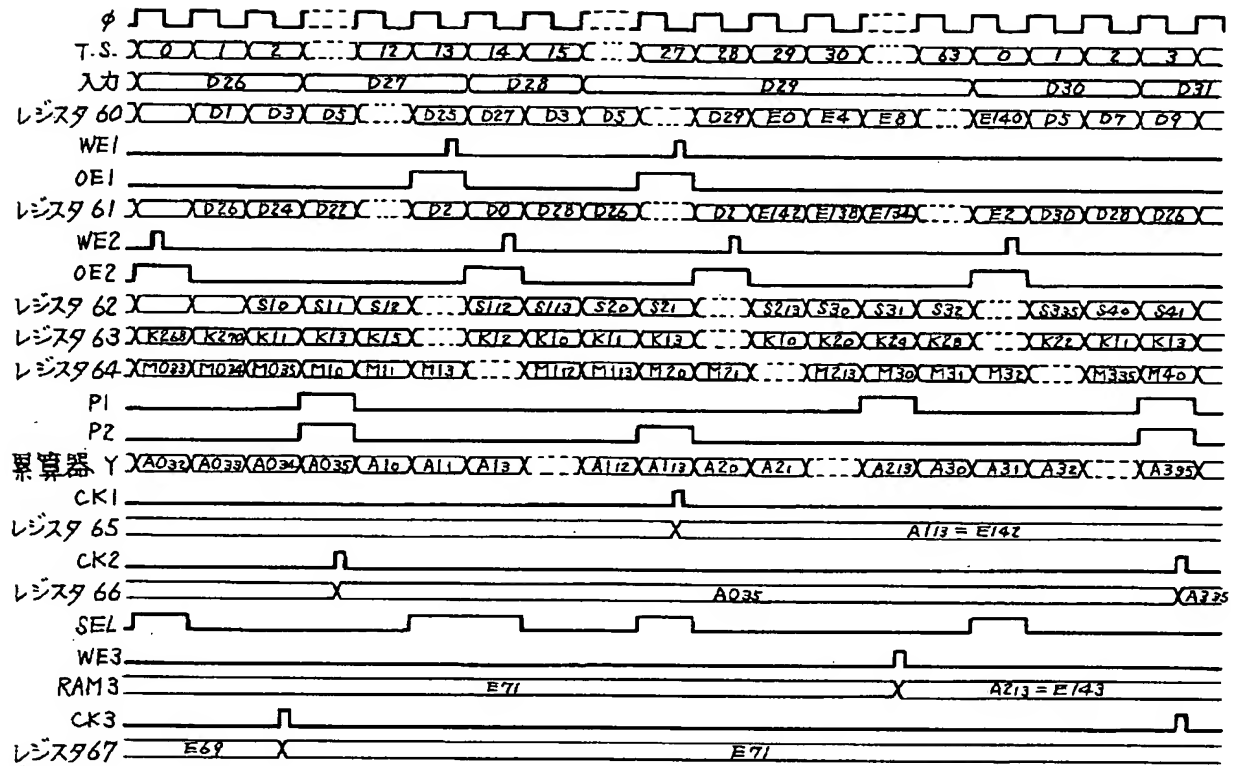
【図2】



【図4】



【図7】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-175785

(43)Date of publication of application : 13.07.1993

(51)Int.Cl.

H03H 17/02

(21)Application number : 03-342666

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 25.12.1991

(72)Inventor : KANEAKI TETSUHIKO

SOBASHIMA AKIRA

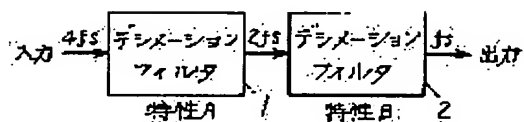
TANI YASUNORI

(54) DIGITAL FILTER FOR DECIMATION

(57)Abstract:

PURPOSE: To obtain the digital filter for 4:1 decimation with simple configuration in which a frequency characteristic is corrected.

CONSTITUTION: The 4:1 decimation digital filter consists of 4:2 and 2:1 decimation filters 1, 2 in two stages, the 1st stage decimation filter 1 implements frequency characteristic correction and the next stage decimation filter 2 is formed by using a filter coefficient satisfying the 1st class Nyquist criterion. Furthermore, the 1st stage decimation filter 1 is formed by using two RAMs and the next stage decimation filter is formed by using three RAMs, input data are written alternately, data are read in the older order from one stage and from the other stage. Furthermore, in the case of calculation of the 1st stage decimation filter 1, a prescribed value is used for an initial value for the accumulation and the output of the 1st stage decimation filter 1 is used for an initial value to attain accumulation in the calculation of the next stage decimation filter 2.



LEGAL STATUS

[Date of request for examination] 07.06.1993

[Date of sending the examiner's decision of rejection] 11.07.1995

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2733403

[Date of registration] 26.12.1997

[Number of appeal against examiner's decision of rejection] 07-17029

[Date of requesting appeal against examiner's decision of rejection] 10.08.1995

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The digital filter for decimation characterized by providing the following. The digital signal inputted. The 1st digital filter which gives and outputs the predetermined frequency characteristic to the aforementioned digital signal while performing decimation of the aforementioned digital signal by performing the fold lump by the 1st predetermined coefficient train. The digital filter output of the above 1st. The 2nd digital filter which performs decimation of 2:1 of the digital filter output of the above 1st by performing the fold lump by the 2nd predetermined coefficient train which satisfies the 1st sort Nyquist's criteria.

[Claim 2] The 1st and the 2nd storage which are characterized by providing the following and into which are resembled, a fold lump is performed more and the output of the 1st digital filter of the above is inputted for the 2nd digital filter by turns. The 2nd multiplier which performs the multiplication of the 2nd memory which has memorized the 2nd predetermined coefficient train, and the data stored in the 1st storage of the above and the value read from the 2nd memory of the above. The digital filter for decimation according to claim 1 characterized by performing a fold lump by having had the accumulator which performs accumulation of the output of the 2nd multiplier of the above by making the output of the 2nd storage of the above into initial value. Storage with which the 1st digital filter stores the digital signal inputted by the predetermined sample. The 1st memory which has memorized the 1st predetermined coefficient train. The 1st multiplier which performs the multiplication of the output of the aforementioned storage, and the value read from the 1st memory of the above. The accumulator which performs accumulation of the output of the 1st multiplier of the above by making predetermined values other than zero into initial value.

[Claim 3] The storage with which at least one side of the 1st and the 2nd digital filter stores the data with which multiplication with a predetermined coefficient train should be performed consists of the 1st and 2nd storage means. It is what carries out multiplication with the aforementioned predetermined coefficient train to the value which read predetermined data and added each from each storage means. Moreover, the data given to the aforementioned storage are written in the writing of data to the above 1st and the 2nd storage means by the above 1st and the 2nd storage means by turns. Moreover, for either the above 1st or the 2nd storage means, read-out of the data from each aforementioned storage means is the digital filter for decimation according to claim 1 to which it is characterized by reading another side in new order at old order.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to what gave change to the frequency characteristic while it relates to the digital filter for decimation, especially performs decimation.

[0002]

[Description of the Prior Art] The importance of the A/D-conversion technology which is the interface of an analog signal and a digital signal is increasing increasingly with progress of digital-signal-processing technology in recent years. It is farther [than the sampling frequency f_s needed / especially / recently] high, for example, the technique of the delta-sigma type A/D conversion by the sampling frequency of $64f_s(es)$ is used well (1987 and electronic-intelligence communication society technical research report meeting ICD 87-52). You have to perform decimation of 64:1, in order to obtain the sampling frequency f_s originally needed, since the digital signal obtained by this A/D conversion has the sampling frequency of $64f_s(es)$. If decimation of 16:1 is performed first, using a radial fin type filter as the technique of this decimation and decimation of 4:1 is subsequently performed using an FIR filter, decimation can be efficiently performed by comparatively small-scale circuitry (1987 and electronic-intelligence communication society technical research report meeting ICD 87-52). However, when a radial fin type filter is used in the decimation of the first rank in this way, since the frequency characteristic of this filter is not flat, the amendment is needed. Usually, this amendment is performed by the latter FIR filter. Such a digital filter for decimation is shown in drawing 8, and the explanation is given (for example, a radio technical magazine, the July, 1989 issue, pp 50-53).

[0003] Two digital inputs of 3072kHz of sampling frequencies, Lch input, and Rch input which were given from two A/D converters (not shown) are given to a radial fin type filter 100,104. Decimation of 8:1 is performed by these Kushigata filter 100,104, and the digital signal which is 384kHz of sampling frequencies is obtained. The digital signal obtained here is the signal which the high region decreased a little with the frequency characteristic of a radial fin type filter. Subsequently, this signal gives the FIR filter 101,105 of the first rank, and it is ****. With the FIR filter 101,105, after filtering the inputted digital signal based on the filter factor given from ROM103, decimation of 4:1 is performed and the digital signal which is 96kHz of sampling frequencies is obtained. Next, this signal is given to the 2nd step of FIR filter 102,106. With the FIR filter 102,106, after performing filtering of a digital signal and the amendment of the frequency characteristic which were inputted based on the filter factor given from ROM103, decimation of 2:1 is performed, the digital signal which is 48kHz of sampling frequencies is obtained, and it is outputted through an interface 107.

[0004]

[Problem(s) to be Solved by the Invention] However, since the frequency characteristic of an input signal is amended in a latter digital filter, change (a high region falls) of the frequency characteristic produced with the above composition with the FIR filter 100 which is a radial fin type filter. Reduce the number of times of an operation using that with which almost all filter factors will have values other than zero, and fill the 1st sort Nyquist's criteria as a latter filter factor. Technique of (for example, Japanese Patent Application No. No. 203541 [63 to]) could not be used, but there was a trouble that the number of times of an operation could not be reduced.

[0005] this invention can amend the frequency characteristic of an input signal in view of the above-mentioned trouble, and it aims at offering the digital filter for decimation which can moreover cut down the number of times of an operation sharply.

[0006]

[Means for Solving the Problem] In order to attain this purpose, the digital filter for decimation by this invention While performing decimation of the aforementioned digital signal by performing the fold lump by the digital signal inputted and the 1st predetermined coefficient train The 1st digital filter which gives and outputs the predetermined frequency characteristic to the aforementioned digital signal, It has the 2nd digital filter which performs decimation of 2:1 of the output of the 1st digital filter of the above by performing the fold lump by the 2nd predetermined coefficient train which satisfies the output and the 1st sort Nyquist's criteria of the 1st digital filter of the above.

[0007]

[Function] Decimation can be performed in 2 steps as mentioned above, the coefficient value with which the 1st sort Nyquist's criteria is filled as a filter factor of a latter decimation filter in order to perform frequency characteristic amendment of an input signal in the decimation filter of the preceding paragraph can be used, and the coefficient value of an abbreviation half serves as zero. Since the input signal which has coefficient value zero multiplied can omit multiplication, it can cut down the number of times of an operation in the 2nd step of decimation filter in an abbreviation half as a result.

[0008]

[Example] Hereafter, this invention is explained based on a drawing.

[0009] Drawing 1 is a block diagram showing the digital filter for decimation by this invention. If this drawing is explained, 1 will be the 1st decimation filter, and will change and output $4f_s(es)$ inputted to the digital signal of $2f_s(es)$. 2 is the 2nd decimation filter, and changes and outputs the digital input signal of $2f_s(es)$ inputted to the digital signal of $1f_s$. The decimation filters 1 and 2 have the frequency characteristic shown in <a property A> and <a property B> of drawing 2, respectively. Since the transition region may be large, the 1st decimation filter 1 is realizable with the few number of taps, as shown in above-mentioned Japanese Patent Application No. No. (name : digital filter for decimation of invention) 184319 [63 to]. On the contrary, since the 2nd decimation filter 2 has the narrow transition

region, many numbers of taps are needed. Here, in the decimation filter 1, 28 filter factor $K1n$ ($n=0-27$) taps and the decimation filter 2 use the filter of 143 filter factor $K2n$ ($n=0-142$) taps. Furthermore, filter factor $K2n$ in the decimation filter 2, since it is made to satisfy the 1st sort Nyquist's criteria, it is set to $K22m+1=0$ ($m=0-70$) and $K271=0.5$.

[0010] Next, operation of the decimation filter shown in drawing 1 is explained using drawing 3. In drawing 3, 10-21 are registers, memorize the digital signal inputted and shift it in the direction of an arrow. 30-39 are multipliers and multiply a filter factor to each input. 40-48 are adders. The decimation filter 1 is constituted by registers 10-13, multipliers 30-34, and adders 40-43. The decimation filter 2 is constituted by registers 14-21, multipliers 35-39, and adders 44-48. Since decimation of 2:1 is performed with filtering as these decimation filters 1 and 2 show to drawing 2, whenever Input D_n is given with the decimation filter 1 and two inputs E_n are newly given with the decimation filter 2, respectively, what is necessary will be just to calculate one output.

[0011] In the decimation filter 1, filter factor $K1n$ ($n=0, 1, 2, \dots, 27$) is multiplied to Input D_n and the output of registers 10-13 by multipliers 30-34. Therefore, with the decimation filter 1, an operation as shown in a formula (1) is performed to Input D_n , and E_n is outputted. In addition, in the decimation filter 1, in order to acquire the property of a high riser a little by the passband as shown in drawing 2 <a property A>, filter factor $K1n$ of 28 taps as a result which performed the fold lump of the filter factor for frequency characteristic amendment of five taps and the filter factor of the low pass filter of 24 taps is used.

[0012]

27

$$E_n = \sum_{k=0}^{27} D_{n-k+2} \cdot K1_k \quad (1)$$

In the decimation filter 2, filter factor $K2n$ ($n=0, 2, 4, \dots, 142$) is multiplied to Input E_n and the output of registers 14-17 by multipliers 35-39. In addition, Input E_n is inputted into a register 14 and a register 18 by turns.

[0013] Here, since filter factors $K2$ are as above-mentioned $K22m+1=0$ ($m=0-70$) and $K271=0.5$ in the decimation filter 2, it is not necessary to perform the multiplication to these coefficients in fact, and the number of times of multiplication can be managed with 71 times of the abbreviation half of 143 which is the number of taps of a filter. Moreover, about the multiplication of a filter factor $K271$, it is good at the 1-bit right shift of a multiplicand. Furthermore, in order for what is necessary to be just to ask for one output F_n from two new inputs, the even-numbered filter factor will always be multiplied and, as for the input data E_n by which the even filter factor $K22n$ was multiplied at once, the odd-numbered filter factor will always be multiplied similarly, as for the input data E_n by which the odd filter factor $K22n+1$ is multiplied at once. Therefore, a register group can be divided into two groups of what adds multiplication with a filter factor with only 1 bit-right-shift-carrying out (registers 18-21) as shown in drawing 3. Thus, with the decimation filter 2, an operation as shown in a formula (2) is performed, and Output F_n is outputted.

[0014]

142

$$F_n = \sum_{k=0}^{142} E_{n-k+2} \cdot K2_k \quad (2)$$

Thus, since the filter for frequency characteristic amendment was built into the filter (decimation filter 1) of the first rank, what fills the 1st sort Nyquist's criteria as a filter factor of the 2nd step of filter with much [from the first] number of times of multiplication (decimation filter 2) can be used, the number of times of multiplication of a filter can be substituted for the abbreviation half of the number of taps, and the increase in the number of times of an operation by incorporating the filter for amendment can be suppressed to the minimum.

[0015] In addition, in drawing 3, since it is a symmetrical coefficient filter factor $K1n$ and $K2n$, after adding an output value one by one from the ends of a register group (registers 10-13, registers 14-17), you may multiply filter factor $K1n$ and $K2n$.

[0016] Drawing 4 is a block diagram showing the concrete example of the digital filter for decimation by this invention. When this drawing is explained, 50, 51, and 58 are RAMs (RAM is called hereafter). In this example, the word length uses what is 18 bits. RAM 50 and 51 consists of two banks, respectively, and a bank 1 consists of 14 words of the addresses 0-13, and is used for the decimation of $4fs \rightarrow 2fs$. A bank 2 consists of 36 words of the addresses 0-35, and is used for the decimation of $2fs \rightarrow 1fs$. RAM 58 consists of 36 words of the addresses 0-35. 52 and 53 are the gates, when control signals OE1 and OE2 are 1, data are outputted, and it becomes high impedance at the time of 0. 54 is an adder, adds the 18-bit data to Terminals A and B, and outputs a 19-bit addition result. 55 is a multiplier and performs the multiplication of the data given to Terminals X and Y. Here, 19 bit x 18 bit multiplication is performed and 27 bits of high orders of the result of an operation are outputted. 56 is a read-only memory (ROM is called hereafter), and has memorized the filter factor. Here, the 18-bit thing is used as a filter factor. 57 is an accumulator.

[0017] An accumulator 57 is first explained here using drawing 5. Based on control signals P1 and P2, the data which should be inputted into the terminal B of an adder 70 by the selector 72 are selected, and after adding with the data given to the terminal A of an adder 70, an addition result is incorporated to a register 71 synchronizing with the standup of clock signal phi, and it outputs through the overflow limiter 73. In a selector 72, the data given to Terminal D at the time of control signal $P1=P2=0$ The data with which the data given to Terminal C at the time of $P1=1$ and $P2=0$ are the same, and the data given to Terminal B at the time of $P1=0$ and $P2=1$ were similarly given to Terminal A at the time of $P1=1$ and $P2=1$ are selected, respectively, and are outputted from Terminal Y. Therefore, a control signal P1 and accumulation of the data given to the terminal A of an accumulator 57 at the time of $P2=0$ are performed. Addition with the data (output of a register 67) similarly given to Terminal B at the time of $P1=1$ and $P2=0$ and the data given to the terminal A of an accumulator 57 is performed. Similarly at the time of $P1=1$, $P2=1$ or $P1=0$, and $P2=1$, addition with the initial value INI1 given to the terminals A and B of a selector 72 or INI2, and the data given to the terminal A of an accumulator 57 is performed. Here, initial value INI1 and INI2 is set to INI1=100H and INI2=900H (refer to drawing 6). In addition, in an adder 70, 28 bits of 27 bits and B input of A input are given as the

position of LSB (least significant bit) gathers, and in a selector 72, the MSB comes to the 2-bit low rank of MSB of D input to 28 bits of 18-bit D input [at C input] (refer to drawing 6). MSB in a register 71 is a headroom for overflow prevention. After taking out 19 bits of high orders of 28 bits of outputs of a register 71 and applying a limiter by the overflow limiter 73, it is outputted as 18-bit data (refer to drawing 6).

[0018] It returns to drawing 4 , and it is a selector, and 59 selects the signal given to Terminal B in the signal given to Terminal A when becoming SEL=0 when becoming SEL=1 based on the control signal SEL given to Terminal S, and outputs it from Terminal Y. 60-67 are registers, and incorporate and latch data by the rising edge of clock signal phi. Among this, a register 66 incorporates 16 bits of high orders of 18 bits of outputs of an accumulator 57. 68 is a sequencer, divides the period of 1fs which should finally be outputted into 64 time slots which make 0-63 one cycl , and is generating the address signal to various control signals (OE1, OE2, P1, P2, SEL, etc.) and clock signals phi and RAM 50, 51, and 58 which were mentioned above to predetermined timing.

[0019] Next, operation of drawing 4 is explained with the timing chart shown in drawing 7 . First, the outline of operation of drawing 4 is described. With this decimation filter, decimation (the decimation of the first rank is called hereafter) of filtering equivalent to the decimation filter 1 shown in drawing 3 , i.e., 4fs->2fs, is performed, and the signal of 18 bits and 4fs inputted is changed into the signal of 18 bits and 2fs in time slots 0-13, and 14-27. In time slots 28-63, decimation (the decimation of the next step is called hereafter) of filtering equivalent to the decimation filter 2 in drawing 3 , i.e., 2fs->1fs, is performed, and the signal of 18 bits and 2fs is changed into the signal of 16 bits and 1fs. The bank 2 of RAM 50 and 51 is used as a register equivalent to registers 14-17, using the bank 1 of RAM 50 and 51 as a register equivalent to the registers 10-13 in drawing 3 . Moreover, RAM58 is used as a register equivalent to registers 18-21.

[0020] Next, a detail of operation is explained. Since it is set to control signal SEL=1 and OE 2= 1 by the time slot 0 based on the address signal which a sequencer 68 outputs, input data D26 is written in the bank 1 of RAM51 by the light signal WE2. Furthermore, this value (D26) appears in a register 61 in a time slot 1 by clock signal phi. In time slots 1-13, RAM51 outputs the input data D24 and D22 of the past stored in a bank 1, and — one by one. On the other hand, since RAM50 outputs the input data D1 and D3 of the past stored in a bank 1 by time slots 0-12, and — one by one and it is set to control signal SEL=1 and OE 1= 1 in a time slot 13, the input data D27 in this time is written in by the light signal WE2. Furthermore, this value (D27) appears in a register 61 in a time slot 1 by clock signal phi. Thus, in RAM50, data are read to old order, and it is made to read data to new order in RAM51.

[0021] The data read as mentioned above are written in registers 60 and 61 one by one with Clock phi. An adder 54 adds this two register output, and the addition result S is written in a register 62. Adder 54 output in a time slot n+1 is set to S1n, and the data D0-D27 and the S1n relation which are read from RAM 50 and 51 by time slots 0-13 become as they are shown in a formula (3).

[0022]

$S1n = D2n+1 + D26 - 2n$ (however, $n=0-13$) (3)

On the other hand, ROM56 has read the filter factor K11 so that the value of $S0=D1+D26$ which are the first operation in the decimation of the first rank may synchronize with the timing which appears in a register 62. In time slots 1-14, the filter factor of the decimation of the first rank is read in order of K11, K13, K15, —, K113, K112, K110, —, K10, and is stored in a register 63 one by one by time slots 2-15. Therefore, the output of these registers 62 and 63 is multiplied by the multiplier 55, and the multiplication result M is stored in the register 64 one by one. By setting multiplier 55 output in a time slot n+2 to M1n, the relation between addition result S1n outputted from registers 62 and 63 by time slots 2-15 and M1n becomes as it is shown in a formula (4) and (5).

[0023]

$M1n = S1n - K12n+1$ (however, $n=0-6$) (4)

$126 \text{ to } 2n \text{ M1n} = S1n - K$ (however, $n=7-13$) (5)

Multiplication result M1n obtained by the multiplier 55, it is stored in a register 64 and accumulates by the accumulator 57. In both the time slots 3 by which the first multiplication result M10 in the decimation of the first rank appears in a register 64, since control signals P1 and P2 are 1, addition of initial value INI1 and the multiplication result M10 is performed, and it is stored in the register 71 in an accumulator 57, and is outputted as accumulator 57 output A10 in a time slot 4. In both the time slots 4-16, since control signals P1 and P2 are 0, at an accumulator 57, multiplication result M1n ($n=1-13$) accumulation is performed to the above-mentioned accumulator output A10. Accumulator 57 output in a time slot n+3 is set to A1n, and a relation (A1n in time slots 3-16 and multiplication M1n) becomes as it is shown in a formula (6). Therefore, A113 which is the final output in the decimation of the first rank substitutes formula (3) - (5) for a formula (6), and a formula (7) is obtained. A113 obtained by the time slot 17 becomes equal to what applied the value of INI1 to what let the digital filter which has coefficient K1n for Input Dn pass as shown here. Here, since the value of INI1 is 100H, 9 bits of low ranks of a register 71 are omitted in an accumulator 57 and 19 bits of high orders are outputted as 18 bits through a limiter 73, it becomes what rounded off the value of a register 71. This value is stored in a register 65 by the clock signal CK1 set to 1 by the time slot 17. Thus, decimation of the 1st first rank is performed.

[0024]

$$A1_n = INI1 + \sum_{k=0}^n M1_k \quad (\text{但し、} n=0\sim13) \quad (6)$$

$$A1_n = INI1 + \sum_{k=0}^n (D_k + D_{27-k}) \cdot K1_k \quad (\text{但し、} n=0\sim13) \quad (7)$$

In time slots 14-27, decimation of the first rank is performed similarly. Here, from the bank 1 of RAM50, the past input data D3-D27 are read, and the input data D29 newest by the time slot 27 is written in by the light signal WE1. Moreover, in RAM51, after the input data D28 newest by the time slot 14 is written in a bank 1 by the light signal WE2, the past input data D26-D2 are read. Hereafter, filtering is performed like the case of time slots 0-13. The difference in filtering in the last time slots 0-13 and this filtering is the point that the value of control signals P1 and P2 is 0 and

1 in the time slot 17. Thereby, in an accumulator 57, addition with INI2 and the output M20 of a multiplier 55 is performed in a time slot 17. Therefore, the final output A213 in this filtering of a series of becomes as it is shown in a formula (8). Here, since the value of INI2 is 900H, 9 bits of low ranks of a register 71 are omitted in an accumulator 57 and 19 bits of high orders are outputted as 18 bits through a limiter 73, the value of a register 71 is rounded off and it becomes what added 4 to the result (namely, decimation result of the first rank) which passed philharmonic digital one who has coefficient K1n for inputs D2-D29. The reason for adding 4 is explained later. This value is stored in RAM58 by the light signal WE3 set to 1 by the time slot 31. Thus, decimation of the 2nd first rank is performed.

[0025]

$$A1_n = INI2 + \sum_{k=0}^{n-1} (D_{k+2} + D_{29-k}) \cdot K1_k \quad (\text{但 } n=0 \sim 13) \quad (8)$$

Here, the address signal to RAM 50 and 51 is considered. To RAM50, to 0, 1, --, 13, and RAM51, supposing it is 0, 1, --, 13, by time slots 0-13, RAM50 is known [13, 0, 1, -- 12, then] by that 1, 2, --, 13, 0 and RAM51 are good at time slots 14-27. That is, change of the address signal to RAM 50 and 51 RAM50 RAM51 The 1st time : 12 0, 1, 2, --, 13 0, 1, 2, --, 13 The 2nd time : 13 1, 2, 3, --, 0 13, 0, 1, --, 12 The 3rd time : 2, 3, --, 13, 0, 1 12, 13, 0, --, 11 The 4th time : 3, 4, --, 0, 1, 2 11, 12, 13, --, 10 : Then, it is good. Thus, generating of an address signal becomes very easy by writing input data in RAM 50 and 51 by turns, reading data to old order in RAM50, and reading data to new order in RAM51, and, moreover, the exchange of the data of RAM 50 and 51 mutually also becomes unnecessary.

[0026] Next, decimation of the next step is performed in time slots 28-63. Here, since it is set to control signal SEL=0 and OE 2= 1 by the time slot 28 based on the address signal which a sequencer 68 outputs, the output A113 in the decimation of the first rank stored in the register 65 is written in the bank 2 of RAM51 by the light signal WE2 as a decimation input E142 of the next step. Furthermore, this value (E142) appears in a register 61 in a time slot 29 by clock signal phi. In time slots 29-63 and the time slot 0 in the following cycle, RAM51 outputs the input data E138 and E134 and -- to the decimation of the next step of the past stored in a bank 2 one by one. On the other hand, RAM50 outputs the input data E0 and E4 of the past stored in a bank 2 by time slots 28-63, and -- one by one. Thus, in RAM50, data are read to old order, and it is made to read data to new order in RAM51.

[0027] The data read as mentioned above are written in registers 60 and 61 one by one with Clock phi. Hereafter, the operation for decimation is performed by the adder 54 and the multiplier 55 like the case of the decimation of the first rank.

[0028] Here, in time slots 30-2, filter factor K2n to the decimation of the next step is read from ROM56 in order of K20, K24, K28, --, K272, K270, K266, --, K22. Since the value En read from RAM 50 and 51 is multiplied by the multiplier 55 to this value, it becomes multiplier 55 output M3n as shown in a formula (9) and (10).

[0029]

M3n= (142 to 4 n E4 n+E), and K24n (n=0-17) (9)

M3n= (142 to 4 n E4 n+E), and K270-4n (n=18-35) (10) Multiplication result M3n obtained by the multiplier 55, it is stored in a register 64 and accumulates by the accumulator 57. In the time slot 31 by which the first multiplication result M30 in the decimation of the next step appears in a register 64, since control signals P1 and P2 are 1 and 0, addition of register 67 output and the multiplication result M31 is performed, and it is stored in the register 71 in an accumulator 57, and is outputted as an output A30 of an accumulator 57 in a time slot 32. In both the time slots 32-2, since control signals P1 and P2 are 0, at an accumulator 57, multiplication result M3n (n=1-35) accumulation is performed to the above-mentioned accumulator output A30. It is as being shown in a formula (9) and (10) multiplication result M3n. The above-mentioned passage, The decimation output of the first rank in the past is stored in RAM58. By clock signal creatine kinase3, the register 67 has incorporated this output (at this time, E71 is outputted as a decimation output of the first rank), and gets down. Since it has shifted to the 1-bit right to A input of an accumulator 57 as shown in drawing 6, A335 which is an end result in a series of filtering becomes as it is shown in a formula (11). here -- K -- the output of the digital filter which can express the right-hand side of a formula (11) as a formula (12), and has filter factor K2n since it is 272= 0.5 and is K22m+1=0 (m=0-35) -- ***** -- things are understood 16 bits of high orders of the output of this accumulator 57 are incorporated by the register 66, and they are outputted as the decimation output of the next step, i.e., the final output of the digital filter for these decimation.

[0030]

$$A3_{35} = \sum_{k=0}^{35} (E_{2k} + E_{142-2k}) \cdot K2_{2k} + 0.5 E_{71} \quad (11)$$

k=0

$$A3_{35} = \sum_{k=0}^{142} E_k \cdot K2_k \quad (12)$$

k=0

Here, considering the output E71 of a register 67, this value is an output value in the 2nd decimation described previously. Therefore, this value adds 4 to the decimation result of the first rank. Since these E71 will be added to the bit position shown in drawing 6, if it sees from a register 66, the added value 4 is located in the most significant of the bit omitted exactly. That is, it will be omitted after adding 0.5, and rounding-off operation will be performed substantially. As mentioned above, in the decimation of the first rank, in order to perform accumulation after setting 900H as initial value in case the accumulation output which should be written in RAM58 is calculated, processing equivalent to a rounding-off operation can be performed only by performing cut-off processing in a time slot 3. Thus, decimation of the next step is performed and the output of 16 bits and 1fs is obtained.

[0031] Incidentally, in the decimation of the next step in the following cycle, RAM50 reads the past input data En from a bank 2 in order of E140, E136, --, E4 (namely, new order), after writing the decimation output A413 (=E144) of the first rank in a bank 2 from a register 65. On the other hand, RAM51 reads the past input data En in order of [bank / 2] E6, E10, --, E142 (namely, old order). Thus, as the decimation output of the first rank is written in RAM50 and

RAM51 by turns, decimation of the next step is performed.

[0032] Here, the address signal to RAM 50 and 51 is considered. To RAM50, to 0, 1, —, 35, and RAM51, supposing it is 35, 34, —, 0, by time slots 28–63, RAM50 is known [13, 0, 1, — 12, then] by that 1, 2, —, 13, 0 and RAM51 are good at the time slots 28–63 in the following cycle. That is, change of the address signal to RAM 50 and 51 RAM50 RAM51 The 1st time : 34 0, 1, 2, —, 35 1 35, 34, 33, —, 0 The 2nd time : 2 0, 35, 34, —, 1 34 0, 1, 2, —, 35 The 3rd time : 1, 2, —, 34, 35, 0 2 0, 35 and 34, —, 1 The 4th time : 3 1, 0, 35, —, 2 1, 2, —, 34, 35, 0 :: Then, it is good. Thus, generating of an address signal becomes very easy by writing input data in RAM50 and 51 by turns, reading the oddth data to order old from RAM51 in order new from RAM50, and reading the eventh data to order new from RAM51 in order old from RAM50, and, moreover, the exchange of the data of RAM 50 and 51 mutually also becomes unnecessary.

[0033] As mentioned above, in order to perform frequency characteristic amendment in the decimation of the first rank, in the decimation of the next step, what fills the 1st sort Nyquist's criteria as filter factor $K2n$ can be used, and the number of times of multiplication of a filter can be substituted for the abbreviation half of the number of taps.

[0034]

[Effect of the Invention] Like, while this invention performs decimation of the aforementioned digital signal by performing the fold lump by the digital signal which was described above and which is inputted and the 1st predetermined coefficient train The 1st digital filter which gives and outputs the predetermined frequency characteristic to the aforementioned digital signal, The 2nd digital filter which performs decimation of 2:1 of the digital filter output of the above 1st by performing the fold lump by the digital filter output of the above 1st, and the 2nd predetermined coefficient train which satisfies the 1st sort Nyquist's criteria, By *****, the coefficient value with which the 1st criteria of nyquist are filled as a filter factor of a latter decimation filter can be used, the coefficient value of an abbreviation half serves as zero by this, and the input signal which has coefficient value zero multiplied can omit multiplication. Consequently, the number of times of an operation in the 2nd step of decimation filter can be cut down in an abbreviation half, and a circuit scale can be reduced sharply.

[0035] Furthermore, since accumulation was started after presetting a predetermined value beforehand, after presetting a predetermined RAM output to an accumulator in the operation in the 2nd step of decimation filter at the time of accumulation of the product of the coefficient value and input data train in the decimation filter of the first rank, even if it starts accumulation, rounding-off processing can be performed correctly.

[0036] Moreover, since a filter factor is arranged in the sequence corresponding to it, and the input data stored in each RAM at the time of the sum-of-products operation in the decimation filter of each stage is changed, as another side reads one side to old order at new order, and it asked for sum of products, it is simplified very much and generating of the address signal to each RAM has the outstanding effect that an address signal generating circuit can be simplified very much.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

- [Drawing 1] The block diagram showing one example of the digital filter for decimation by this invention
[Drawing 2] The property view showing the frequency characteristic of the digital filter for decimation in this example
[Drawing 3] The block diagram for explaining operation of the digital filter for decimation in this example
[Drawing 4] The block diagram showing the example of the digital filter for decimation by this invention
[Drawing 5] The block diagram showing the example of the accumulator 57 in drawing 4
[Drawing 6] Explanatory drawing showing the selection condition of the selector 72 in the accumulator 57 of drawing 5

[Drawing 7] The timing chart showing operation of the digital filter for decimation shown in drawing 4

[Drawing 8] The block diagram showing the composition of the conventional digital filter for decimation

[Description of Notations]

- 1 Two Decimation filter
- 10-21 Delay circuit
- 30- 39 and 55 Multiplier
- 40- 48 and 54 Adder
- 50,51,58 RAM
- 56 ROM
- 57 Accumulator
- 59 72 Selector
- 60-66 Register

[Translation done.]

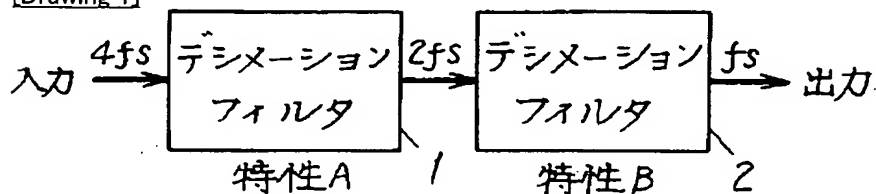
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

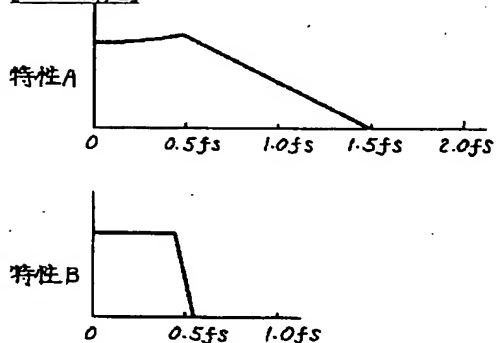
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

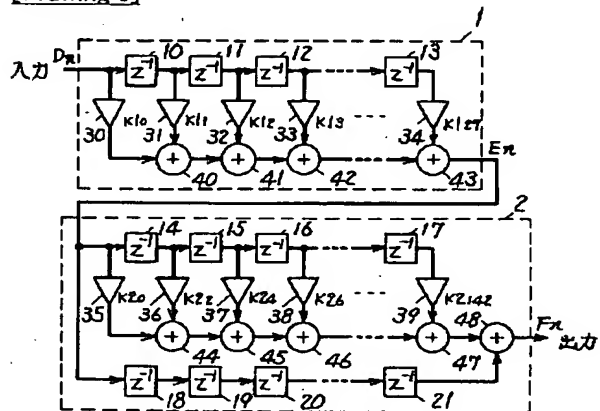
[Drawing 1]



[Drawing 2]



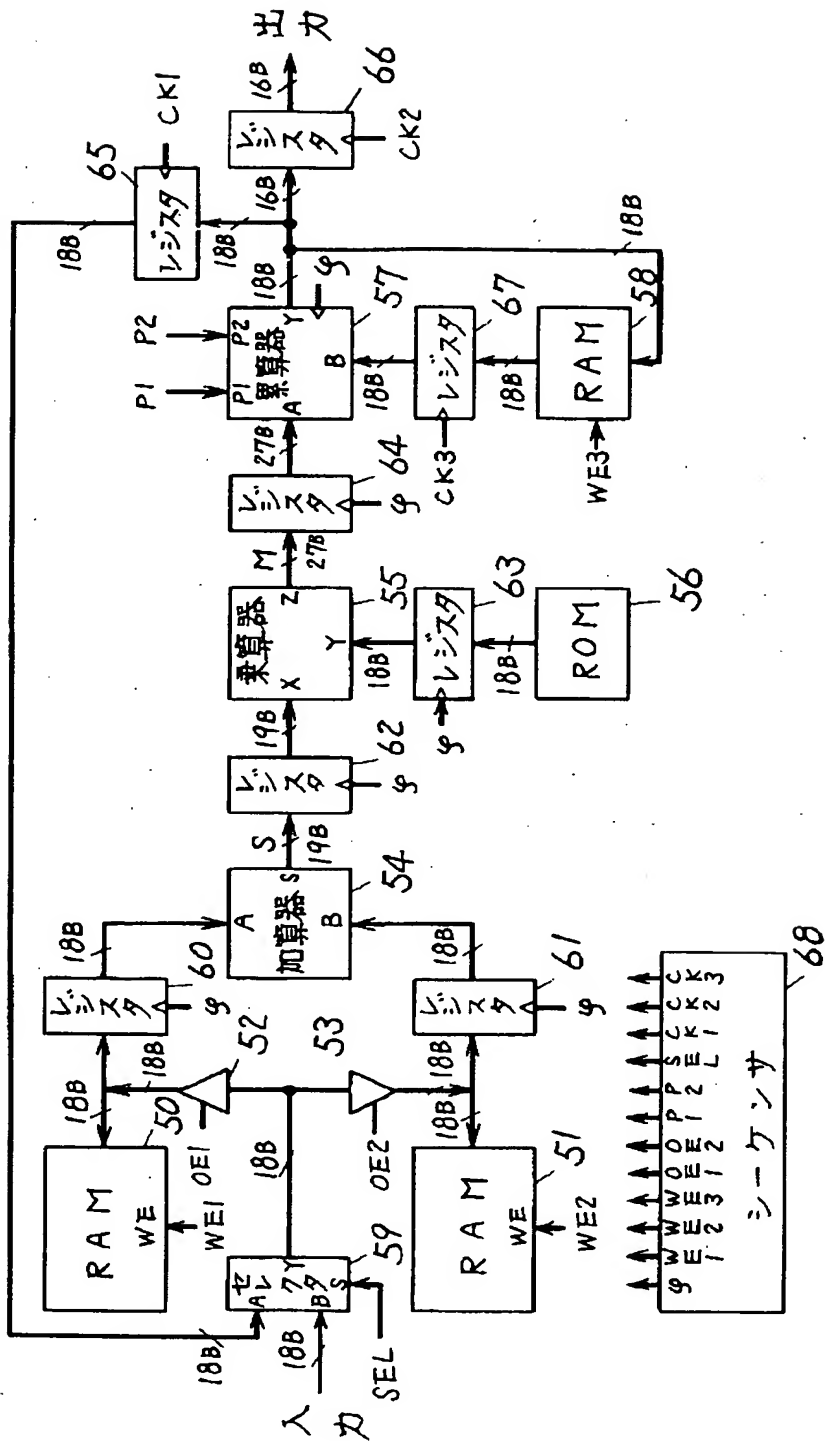
[Drawing 3]



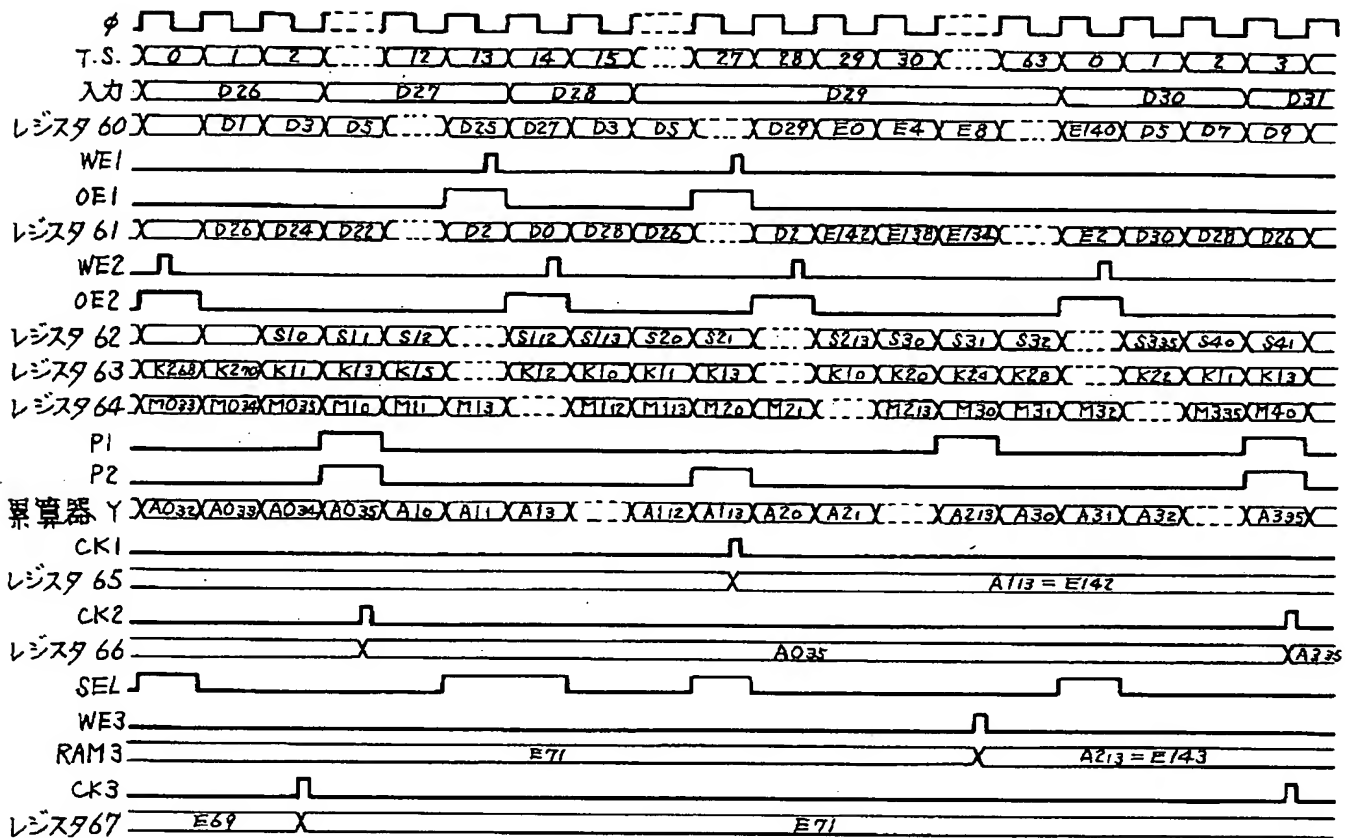


累算器出力Y (S: C入力のサインビット)





[Drawing 7]



[Translation done.]